Kamil: 1-5 + 11-20  
Tomek: 6-10 + 20-30

Pytanie 1 1.

Procesor z 24-bitową szyną adresową potrafi współpracować z pamięcią o maksymalnym rozmiarze:

Wybierz odpowiedź:

* 1MB
* 64kB
* 64MB
* 16MB

Pytanie 2 2.

Przesunięcie arytmetyczne w prawo o 3 bity liczby 75 daje w wyniku wartość:

Wybierz odpowiedź:

* 9
* 12
* 11
* 8

<https://onlinetoolz.net/bitshift#base=10&value=75&bits=8&steps=3&dir=r&type=ari&allsteps=1>

Pytanie 3 3.

Jakiej sekcji nie zawiera program komputerowy:

Wybierz odpowiedź:

* sekcji okna rejestrów
* sekcji kodu
* sekcji danych
* sekcji stosu

Pytanie 4 4.

Procesor 8-bitowy:

Wybierz odpowiedź:

* potrafi przetwarzać liczby 8-bitowe zgodnie z normą IEEE 754
* potrafi przetwarzać liczby o dowolnej długości dzięki reprezentacji BCD
* ma przeważnie 20-bitową szynę adresową
* Potrafi natywnie przetwarzać liczby 16-bitowe

Pytanie 5 5.

Do jakiej grupy rozkazów zaliczana jest instrukcja PUSH:

Wybierz odpowiedź:

* przeniesienia sterowania
* konwersji
* transferu danych
* arytmetycznych



Pytanie 6 6.

Arbitraż rozproszony:

Wybierz odpowiedź:

* ma character asynchroniczny
* jest metodą zapewniającą równoległy dostęp do pamięci głównej
* jest rozwiązaniem programowym problemu synchronizacji
* odnosi się do dostępu do magistrali

Pytanie 7 7.

Komunikacja z urządzeniami wejścia-wyjścia:

Wybierz odpowiedź:

* wymaga osobnych instrukcji maszynowych dla każdego rodzaju urządzenia
* ma charakter asynchroniczny
* odbywa się bezpośrednio, pomiędzy procesorem a urządzeniem
* możliwa jest za pomocą dedykowanych do tego celu instrukcji maszynowych

Pytanie 8 8.

Który układ nie jest częścią współczesnego procesora, takiego jak Intel Intel Core i7?

Wybierz odpowiedź:

* jednostka zmiennoprzecinkowa
* jednostka obliczeń neuronowych
* jednostka generowania adresów
* jednostka przewidywania rozgałęzień

Pytanie 9 9.

Pamięć podręczna

Wybierz odpowiedź:

* charakteryzuje się dostępem swobodnym do poszczególnych lokacji
* może przechowywać zarówno dane, jak i mikroinstrukcje
* stanowi bufor pomiędzy procesorem i urządzeniami wejścia-wyjścia
* jest pamięcią głównie do odczytu

https://access.redhat.com/articles/6041781

Pytanie 10 10.

Które przerwanie sprzętowe ma charakter niemaskowalny

Wybierz odpowiedź:

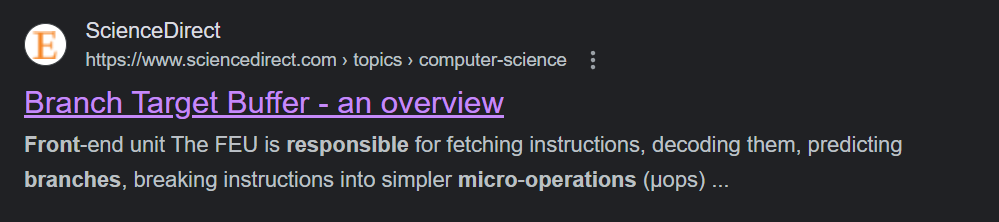
* wygenerowane przez kontroler magistrali USB
* wygenerowane przez kontroler magistrali FireWire
* wygenerowane przez czasomierz systemowy
* wygenerowane przez drukarkę w związku z brakiem papieru

Pytanie 11 11.

Część czołowa (front side) procesora:

Wybierz jedną lub więcej odpowiedzi

* odpowiada za generowanie mikrooperacji
* odpowiada za wykonywanie rozkazów poza kolejnością
* odpowiada za arytmetykę całkowitoliczbową
* wykorzystuje bufor celów rozgałęzień



<https://www.sciencedirect.com/topics/computer-science/branch-target-buffer>

12

Pytanie 12 12.

Instrukcja skoku warunkowego:

Wybierz jedną lub więcej odpowiedzi

* nie jest implementowana w architekturach RISC
* wymaga przynajmniej dwóch argumentów
* może zostać wywołana tylko w ramach pierwszych 64 MB segmentu programu
* może poważnie spowolnić pracę procesora potokowego

13

Pytanie 13 13.

Które architektury zakładają możliwość wykonywania równoległego instrukcji maszynowych:

Wybierz jedną lub więcej odpowiedzi

* wieloprocesor
* procesor wielordzeniowy
* procesor superskalarny
* system rozproszony złożony z dwóch komputerów

Pytanie 14 14.

Które z poniższych są architekturami CISC:

Wybierz jedną lub więcej odpowiedzi

* SPARC
* EPIC to jest VLIW - https://en.wikipedia.org/wiki/Explicitly\_parallel\_instruction\_computing)
* POWER - RISC - https://en.wikipedia.org/wiki/PowerPC
* ARM

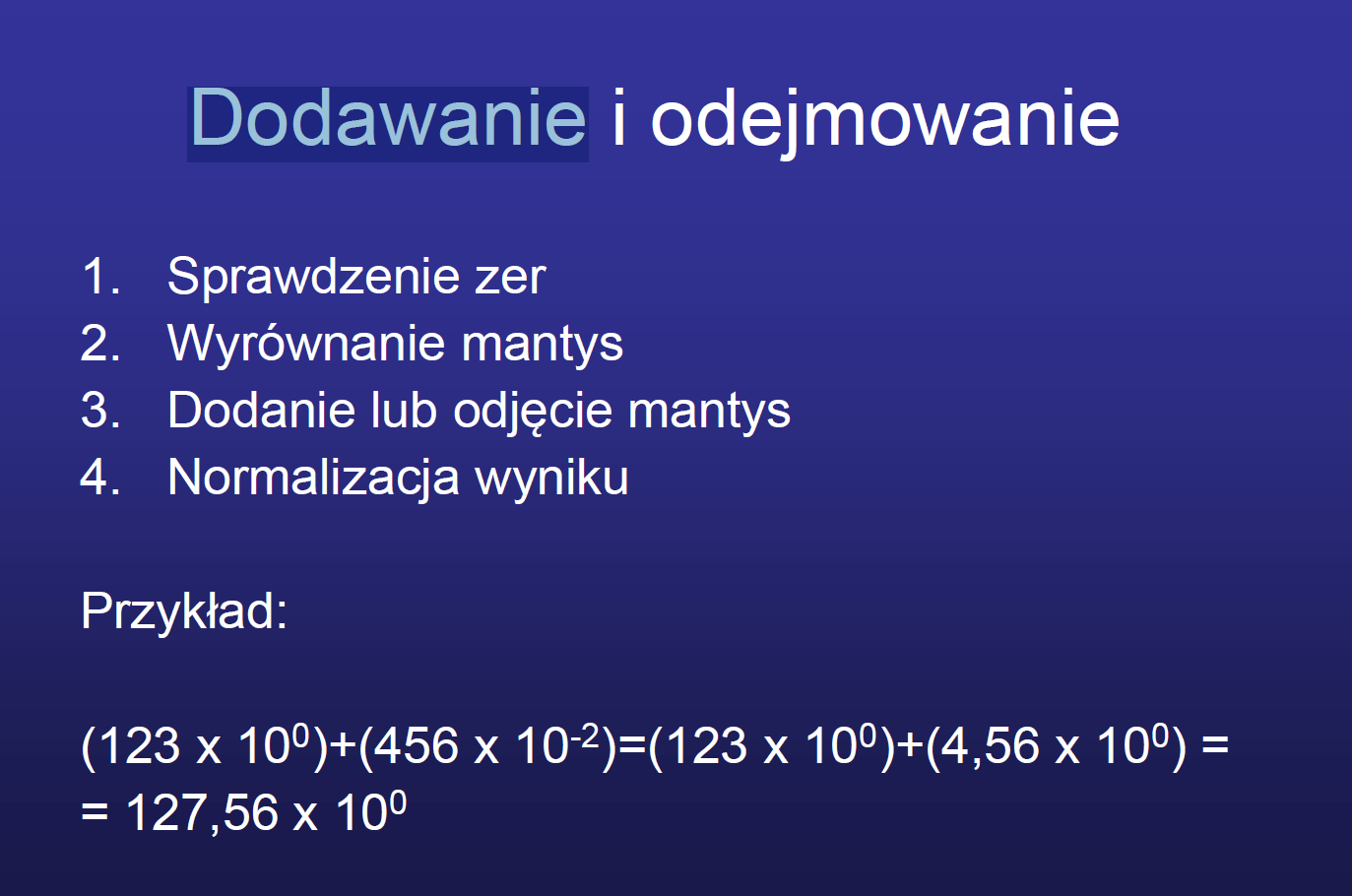
<https://link.springer.com/chapter/10.1007/978-3-030-21244-5_15#:~:text=Both%20the%20SPARC%20and%20the,comparison%20to%20the%20other%20architectures>.(search for: both)

Pytanie 15 15.

Które fazy występują podczas operacji dodawania liczb zmiennoprzecinkowych:

Wybierz jedną lub więcej odpowiedzi

* dodawanie
* normalizacja
* sprawdzenie zer
* wyrównanie mantysy



Pytanie 16 16.

Identyfikacja urządzeń we-wy może odbywać się poprzez:

Wybierz jedną lub więcej odpowiedzi

* wiele linii przerwań
* odpytywanie za pomocą dowolnego urządzenia podłączonego do magistrali rozszerzeń
* odpytywanie za pomocą oprogramowania
* odpytywanie za pomocą kontrolera sprzętowego

<http://www.gvpcew.ac.in/LN-CSE-IT-22-32/CSE-IT/2-Year/22-CO/UNIT_IV.pdf>

4 i 22 slajd?

Pytanie 17 17.

Które rozwiązania przyspieszają wykonywanie programu przez procesor:

Wybierz jedną lub więcej odpowiedzi

* duża tablica rejestrów
* stos
* bufor TLB
* pamięć podręczna

Pytanie 18 18.

Architektury wektorowe:

Wybierz jedną lub więcej odpowiedzi

* realizują równoległość na poziomie danych
* realizują równoległość na poziomie rozkazu
* wymagają podziału cyklu rozkazowego na dużą liczbę etapów
* wymagają wielu jednostek arytmetyczno-logicznych wykonujących rozkazy

Pytanie 19 19.

Sprzętowe zarządzanie pamięcią przez procesor:

Wybierz jedną lub więcej odpowiedzi

* obejmuje definiowanie poziomów ochrony poszczególnych segmentów pamięci
* wspomaga stronicowanie i/lub segmentację
* służy do generowania adresów wirtualnych na podstawie liniowych
* wykorzystuje bufor translacji adresów

Pytanie 20 20.

Lokalność czasowa odniesień jest wykorzystywana:

Wybierz jedną lub więcej odpowiedzi

* poprzez wbudowanie do pamięci podręcznej bloków wstępnego pobierania
* poprzez stosowanie hierarchicznych struktur pamięci podręcznej
* poprzez posługiwanie się większymi blokami pamięci podręcznej
* poprzez utrzymywanie ostatnio używanych rozkazów i danych w pamięci podręcznej

Pytanie 21 21.

Które metody kodowania zawierają w sobie kod ASCII:

Wybierz jedną lub więcej odpowiedzi

* UTF-8
* Unicode
* EBCDIC
* Latin 2

<https://en.wikipedia.org/wiki/ISO/IEC_8859-2#:~:text=ISO%2FIEC%208859%2D2%3A,as%20%22Latin%2D2%22>.

Pytanie 22 22.

Cechy charakterystyczne procesorów RISC to:

Wybierz jedną lub więcej odpowiedzi

* jednostka przewidywania rozgałęzień RISC-V
* okna rejestrów
* dwie pamięci podręczne pierwszego poziomu – jedna na mikroprogram, druga na dane
* hiperpotok

Pytanie 23 23.

W architekturze superskalarnej:

Wybierz jedną lub więcej odpowiedzi

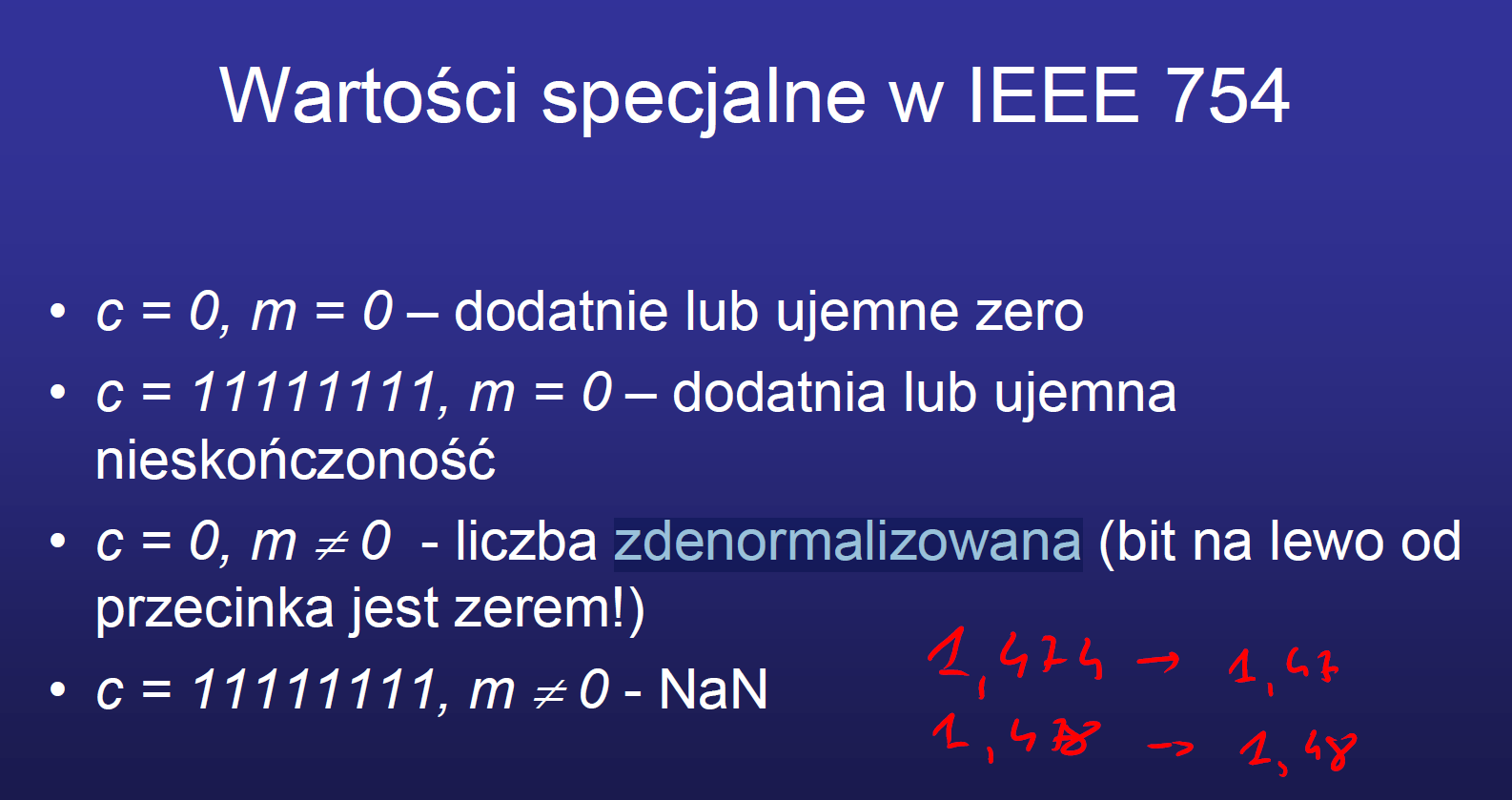
* realizowana jest zmiana kolejności wykonania instrukcji
* jednostka sterująca jest układem kombinacyjnym
* procesor zawiera wiele jednostek wykonawczych, które są wykorzystywane jednocześnie
* konieczne jest wykorzystanie wielopoziomowej pamięci podręcznej

Pytanie 24 24

Które wartości specjalne występują w normie IEEE 754:

Wybierz jedną lub więcej odpowiedzi

* niepoprawna podstawa
* wartość zdenormalizowana
* NaN
* +0



Pytanie 25 25.

Jakiego rzędu odległości stanowią barierę nie do przekroczenia w procesie tworzenia procesorów:

Wybierz jedną lub więcej odpowiedzi

* pojedyncze fm
* pojedyncze pm
* pojedyncze um
* pojedyncze nm

Pytanie 26 26.

Pamięć główna charakteryzuje się:

Wybierz jedną lub więcej odpowiedzi

* mniejszym kosztem jednego bajta, niż w przypadku pamięci podręcznej
* nieulotną zawartością
* dostępem sekwencyjnym do dowolnej lokalizacji
* krótszym czasem dostępu, niż pamięć dyskowa

Pytanie 27 27.

Stos:

Wybierz jedną lub więcej odpowiedzi

* może być implementowany poprzez zestaw rejestrów
* wymaga obsługi za pomocą dedykowanych instrukcji maszynowych
* może być implementowany jako oddzielny fragment pamięci
* może być wykorzystany do wsparcia wywołań podprocedur

Pytanie 28 28.

Które cechy charakteryzują komputery klasy CISC:

Wybierz jedną lub więcej odpowiedzi

* zmienna długość rozkazu
* uproszczony potok
* duża liczba rejestrów
* mikroprogramowalna jednostka sterująca

Pytanie 29 29.

Które architektury komputerowe charakteryzują się odrębną pamięcią programu i danych?

Wybierz jedną lub więcej odpowiedzi

* von Neumanna
* Princeton
* zmodyfikowana von Neumanna
* Harvard

Pytanie 30 30.

Reprezentacja BCD:

Wybierz jedną lub więcej odpowiedzi

* pozwala wykonywać operacje na liczbach całkowitych oraz rzeczywistych
* może występować w postaci upakowanej lub nieupakowanej
* wykorzystuje półbajt do przechowania jednej cyfry dziesiętnej
* pozwala wykonywać operacje arytmetyczne szybciej, niż np. w przypadku reprezentacji U2

Pytanie 31 31.

Przedstawić liczbę -1/128 w reprezentacji IEEE 754 pojedynczej precyzji (3 pkt.)

Wprowadź odpowiedź

-(1/128) = 0,0078125

Znak to: 1, ponieważ liczba jest ujemna

Konwertujemy do binarnych:

0.007 812 5 \* 2 = 0 + 0.015 625

0.015 625 \* 2 = 0 + 0.031 25

0.031 25 \* 2 = 0 + 0.062 5

0.062 5 \* 2 = 0 + 0.125

0.125 \* 2 = 0 + 0.25

0.25 \* 2 = 0 + 0.5

0.5 \* 2 = 1 + 0

Nie znormalizowana postać:

0. 0000 001 \* 2^0 = 1 \* 2(-7)

Normalizacja cechy:

( -7 + 2^(8-1) -1 ) = ( (-7) + 127) = 120

120 / 2 = 60 | 0

60 / 2 = 30 | 0

30 / 2 = 15 | 0

15 / 2 = 7 | 1

7 / 2 = 3 | 1

3 / 2 = 1 | 1

1 / 2 = 0 | 1

120(10) = 111 1000(2) = 0111 1000(u2)

Normalizacja matysy:

1

1 000 0000 0000 0000 0000 0000

usuwamy najbardziej wysuniętą w lewo jedynkę:

000 0000 0000 0000 0000 0000

Wynik:

znak - cecha - mantysa

1 - 01111000 - 00000000000000000000000

Pytanie 32 32.

Jeśli ostatnią operacją w komputerze o słowie 8-bitowym było dodawanie, w którym dwoma argumentami były:

116 i 12,

-1 i 1

to jaka jest wartość następujących flag: znak, przeniesienie połówkowe, przepełnienie, parzystość. Odpowiedź uzasadnić. (3 pkt.)

Wprowadź odpowiedź

| Korzystając z U2:  Przeniesienie połówkowe: Ustawienie flagi, w wypadku, gdy dodawanie powoduje przeniesienie z bitu 3 na 4  Przepełnienie: Ustawienie flagi, gdy wynik dodawania dwóch liczb dodatnich jest liczbą ujemną, lub odwrotnie tj. gdy wynik dodawania dwóch liczb ujemnych jest liczbą dodatnią  Znak (sign): Ta flaga jest ustawiana, jeśli najbardziej znaczący bit (MSB) wyniku jest 1  Parzystość (parity): Ta flaga jest ustawiana, jeśli liczba jedynek w wyniku jest parzysta.  a)  116 = 0111 0100  12 = 0000 1100  0111 0100 + 0000 1100 = 1000 0000  przeniesienie połówkowe: tak,  przepełnienie: tak,  znak: tak,  parzystość: nie  b)  -1 = 1111 1111  1 = 0000 0001  1111 1111 + 0000 0001 = 0000 0000  przeniesienie połówkowe: tak,  przepełnienie: nie,  znak: nie,  parzystość: tak (0 jest liczbą parzystą) |
| --- |

Pytanie 33 33.

W programie wykonywane jest wywołanie procedury z uprzednim przekazaniem dwóch argumentów przez stos. Pokazać zawartość stosu, jeśli te argumenty to dwubajtowa liczba całkowita "a" o wartości "23A6h" oraz jeden znak "b" o wartości "A", komputer jest 16-bitowy, stos rośnie "w dół" oraz przed wywołaniem procedure wskaźnik stosu pokazuje adres FFh. (4 pkt.)

Wprowadź odpowiedź

| Interpretując zawartość “b” jako Ah, wtedy stos:  FFh - 0Ah FEh - A6h FDh - 23h FCh - return  Jeśli zaś zawartość “b” to kod ASCII, czyli “41h”, to  FFh - 41h b FEh - 23h a FDh - A6h |
| --- |

Pytanie 34 34.

W komórce pamięci w komputerze o architekturze grubokońcowej znajduje się 16-bitowa liczba -78. Została ona zapisana do zmiennej przechowującej znak (np. char), zmiennej przechowującej liczby całkowite 16-bitowe bez znaku (unsigned short) oraz zmiennej przechowującej 32-bitowe liczby całkowite ze znakiem (np. int). Jakie wartości będą przechowywać poszczególne zmienne? Odpowiedzi uzasadnić. (3 pkt.)

Wprowadź odpowiedź

| *Ze stackoverflow:*  *Since you're casting from a larger integer type to a smaller one, it takes the least significant part regardless of endianness. If you were casting pointers instead, though, it would take the byte at the address, which would depend on endianness.*  *int i = 259;*  *char c = (char)i;*  *So c = (char)i assigns the least-significant byte to c*  –115 w U2 to: 1111 1111 1000 1101  Konwersja do char polega na wzięciu najmniej ważnego bajtu niezależnie od cienko, grubo końcowości -> –115 w U2 zapisana jako char to: 1000 1101, jest to wartość wychodząca poza zakres char, który zazwyczaj mieści się od 0 do 255, więc w zależności od implementacji możemy uzyskać inny znak.  liczby całkowite 16-bitowe bez znaku: 1111 1111 1000 1101 to 65421  liczby 32-bitowe ze znakiem: (rozszerzenie bitowe U2 )11111111 11111111 1111 1111 1000 1101 |
| --- |

x-końcowość nie wpływa na wartość zmiennych

-78 =  
(w 8bitach) = 1011 0010

(w 16 bitach) = 1111 1111 1011 0010

(w 32 bitach) = 1111 1111 1111 1111 1111 1111 1011 0010

Jako char = (char mieści tylko 1 bajt, więc liczba ta wykroczy poza zakres; więc zależnie od implementacji staną się różne rzeczy) = (jeśli uznać że starsze bity zostaną odrzucone to:) = 0010

Jako unsigned short = (zmieniamy na dwójkowy i uzupełniamy zerami od lewej) = 0000 0000 0100 1110

Jako int = (dopełniamy jednykami od lewej [rozszerzenie bitowe]) 1111 1111 1111 1111 1111 1111 1011 0010

Pytanie 35 35,

W pamięci począwszy od adresu 026Bh przechowywane są następujące wartości: zmienna zmiennoprzecinkowa pojedynczej precyzji o wartości "0", łańcuch znakowy o wartości "kot" oraz liczba całkowita "04A5h". Pokazać zawartość pamięci, jeśli wymuszane jest wyrównanie do parzystego adresu oraz architektura procesora jest cienkokońcowa (3 pkt.)

"0" w ieee754 = (00 00 00 00)h

“kot” jako char = (6B 6F 74)h

liczba całkowita (mamy ją w hex więc brak konwersji) = 04A5h

026Bh = 00h

026Ch = 00h

026Dh = 00h

026Eh = 00h

026Fh = 74h

0270h = 6Fh

0271h = 6Bh

0272h = - (wymuszenie wyrównania do parzystego adresu)

0273h = A5

0274h = 04

0275h = - (wymuszenie wyrównania do parzystego adresu)

0276h = - (wymuszenie wyrównania do parzystego adresu)

Pytanie 36 36.

Procesor realizuje cykl rozkazowy w 4 etapach: pobranie instrukcji, dekodowanie instrukcji, pobranie argumentów, wykonanie instrukcji. Ile czasu zajmie mu wykonanie 3 instrukcji, jeśli każdy etap trwa 2 ns oraz instrukcje do wykonania to (kolejno, x, y i z to rejestry):

a. add x, y; sub x, z; mul y, z

b. load x, [pamiec]; add y, x; store [pamiec], y

Odpowiedź uzasadnić! (4 pkt.)

Wprowadź odpowiedź

a)

pobranie instrukcji - 2ns

dekodowanie instrukcji - 2ns  
pobranie argumentów - 2ns

wykonanie instrukcji - 2ns

razem: 8ns dla 1 instrukcji  
  
dla trzech instrukcji: 8ns x 3 = 24ns?? wtf